

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 10149688  
PUBLICATION DATE : 02-06-98

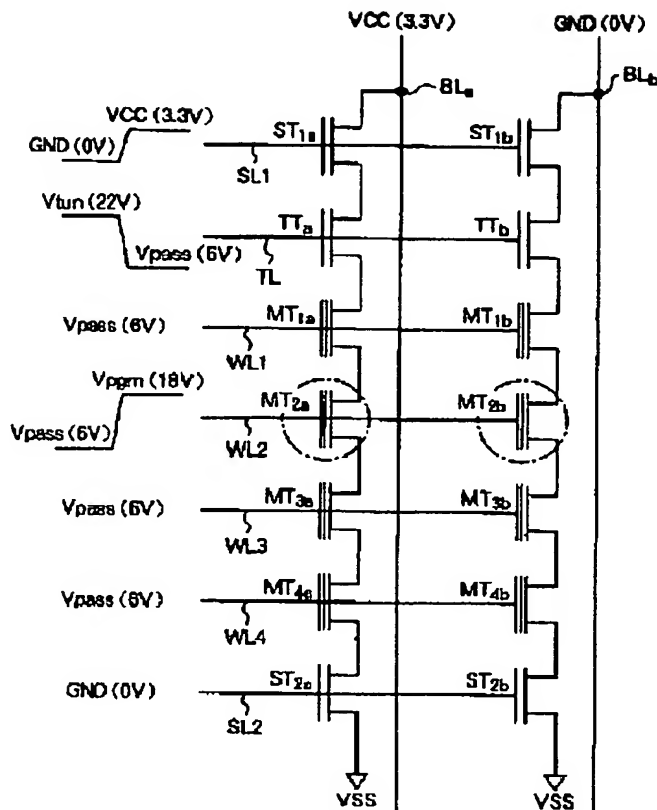
APPLICATION DATE : 20-11-96  
APPLICATION NUMBER : 08309760

APPLICANT : SONY CORP;

INVENTOR : ARASE KENSHIROU;

INT.CL. : G11C 16/02 G11C 16/04

TITLE : SEMICONDUCTOR NON-VOLATILE STORAGE DEVICE AND ITS DATA PROGRAMMING METHOD



ABSTRACT : PROBLEM TO BE SOLVED: To provide an instrument which is suitable for single electric operation at low voltage, easy in the layout of data latch circuit for each bit line, and capable of data programming superior in disturb durability by impressing a program voltage on the selection word line by a specified processing and by applying a package page program to the memory TR connected to the selection word line.

SOLUTION: The ground voltage GND is impressed on NAND column selective lines SL1, SL2 to hold each NAND column channel section in a floating condition. In this condition, all word lines WL1 to WL4 are impressed with a pass voltage Vpass and the tunnel current controller TL is impressed with a high-potential pulse Vtun of width of about several microseconds. As the results, electrons are extracted from each NAND column channel section in the floating condition through tunneling TRs, TT<sub>a</sub> to TT<sub>b</sub>, by FN tunneling current to raise the potential of each NAND column channel section to the program inhibit voltage.

COPYRIGHT: (C)1998,JPO

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-149688

(43) 公開日 平成10年(1998) 6月2日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 1 1 C 16/02

G 1 1 C 17/00

6 1 1 G

16/04

6 2 2 E

審査請求 未請求 請求項の数15 O L (全 11 頁)

(21) 出願番号

特願平8-309760

(22) 出願日

平成8年(1996)11月20日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 荒瀬 謙士朗

東京都品川区北品川6丁目7番35号 ソニー株式会社内

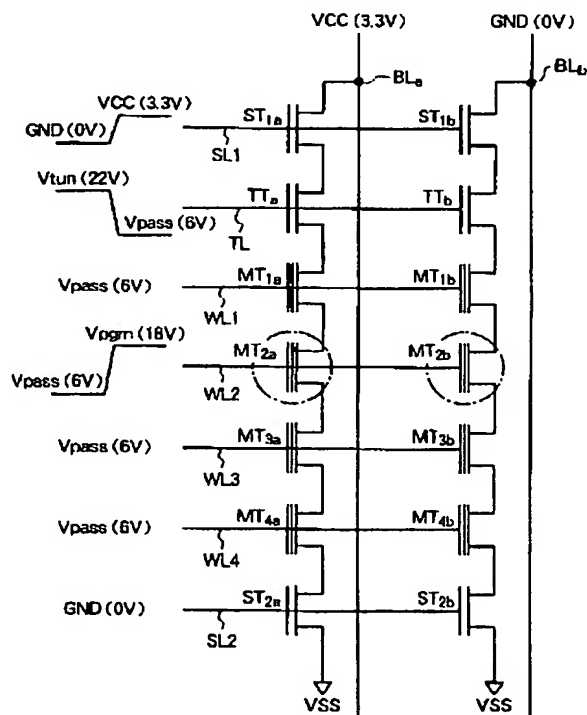
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 半導体不揮発性記憶装置およびそのデータプログラム方法

(57) 【要約】

【課題】低電圧での単一電源動作に適し、ビット線毎のデータラッチ回路のレイアウトが容易で、しかもディスタブ耐性の良好なデータプログラム動作を行う半導体不揮発性記憶装置を実現する。

【解決手段】データプログラム動作時、選択ワード線WL2が在するたとえばNAND列チャンネル部の電位をフローティング状態とした後、トンネル電流制御線TLに高電圧パルスを印加してFNTトンネル電流により電子を引き抜いてNAND列チャンネル部の電位をプログラム禁止電位まで上昇させ、その後プログラムすべきデータ内容に応じて当該NAND列チャンネル部のプログラム禁止電位をビット線に放電し、選択ワード線に連なるメモリトランジスタ一括にページプログラムを行う。



## 【特許請求の範囲】

【請求項1】 電氣的にデータのプログラムおよび消去が行われるメモリトランジスタが複数個接続され、その一端および他端がゲート電圧に応じて導通状態が制御される選択トランジスタを介してビット線および接地線に接続されたメモリ接続部がマトリクス状に配置され、同一行のメモリセルトランジスタの制御ゲートが共通のワード線に接続されてなる半導体不揮発性記憶装置であつて、

データプログラム動作時、選択トランジスタを非導通状態に保持して選択メモリトランジスタが在する前記メモリ接続部のチャンネル部の電位をフローティング状態とした後、当該メモリ接続部のチャンネル部からトンネル電流により電荷を移動させて当該メモリ接続部のチャンネル部電位をプログラム禁止電位まで上昇させ、プログラムすべきデータ内容に応じて前記メモリ接続部のチャンネル部のプログラム禁止電位を前記選択トランジスタを導通させて放電させて、選択ワード線にプログラム電圧を印加して当該選択ワード線に接続されたメモリトランジスタ一括にページプログラムを行う制御手段を有する半導体不揮発性記憶装置。

【請求項2】 前記制御手段は、前記選択トランジスタとメモリ接続部との間に直列に接続され、ゲート電極と半導体基板との間でトンネル電流により電荷の移動が可能なトンネル用トランジスタを有し、前記トンネル用トランジスタのゲート電極に、メモリ接続部のチャンネル部からトンネル電流により電荷を移動させて当該メモリ接続部のチャンネル部電位をプログラム禁止電位まで上昇させるときに、当該トンネル用トランジスタが導通状態となる電圧を印加する請求項1記載の半導体不揮発性記憶装置。

【請求項3】 前記メモリ接続部は、複数のメモリトランジスタが直列接続されたNAND列構成を有する請求項1記載の半導体不揮発性記憶装置。

【請求項4】 前記メモリ接続部は、複数のメモリトランジスタが並列に接続されたAND列構成を有する請求項1記載の半導体不揮発性記憶装置。

【請求項5】 前記メモリ接続部は、複数のメモリトランジスタが直列接続されたNAND列構成を有し、前記制御部は、各ビット線に対応したデータラッチ回路を有し、選択トランジスタを導通状態にした状態で前記データラッチ回路のデータ内容に応じて前記NAND列のチャンネル部のプログラム禁止電位をビット線に放電させる請求項2記載の半導体不揮発性記憶装置。

【請求項6】 前記トンネル用トランジスタのトンネル絶縁膜の膜厚は前記メモリトランジスタのトンネル絶縁膜の膜厚よりも薄く形成されている請求項2記載の半導体不揮発性記憶装置。

【請求項7】 前記トンネル用トランジスタは前記NAND列においてビット線側の選択トランジスタに隣接し

て配置されている請求項3記載の半導体不揮発性記憶装置。

【請求項8】 前記トンネル用トランジスタは前記AND列においてビット線側の選択トランジスタに隣接して配置されている請求項4記載の半導体不揮発性記憶装置。

【請求項9】 接地線側に近い位置のメモリトランジスタからビット線側に近い位置のメモリトランジスタへと、順次ページプログラムが行われる請求項7記載の半導体不揮発性記憶装置。

【請求項10】 接地線側に近い位置のメモリトランジスタからビット線側に近い位置のメモリトランジスタへと、順次ページプログラムが行われる請求項8記載の半導体不揮発性記憶装置。

【請求項11】 前記トンネル用トランジスタは前記NAND列において接地線側の選択トランジスタに隣接して配置されている請求項3記載の半導体不揮発性記憶装置。

【請求項12】 前記トンネル用トランジスタは前記NAND列において接地線側の選択トランジスタに隣接して配置されている請求項4記載の半導体不揮発性記憶装置。

【請求項13】 ビット線側に近い位置のメモリトランジスタから接地線側に近い位置のメモリトランジスタへと、順次ページプログラムが行われる請求項11記載の半導体不揮発性記憶装置。

【請求項14】 ビット線側に近い位置のメモリトランジスタから接地線側に近い位置のメモリトランジスタへと、順次ページプログラムが行われる請求項12記載の半導体不揮発性記憶装置。

【請求項15】 電氣的にデータのプログラムおよび消去が行われるメモリトランジスタが複数個接続され、その一端および他端がゲート電圧に応じて導通状態が制御される選択トランジスタを介してビット線および接地線に接続されたメモリ接続部がマトリクス状に配置され、同一行のメモリセルトランジスタの制御ゲートが共通のワード線に接続されてなる半導体不揮発性記憶装置のデータプログラム方法であつて、

データプログラム動作時、選択メモリトランジスタが在する前記メモリ接続部のチャンネル部の電位をフローティング状態とした後、

当該メモリ接続部のチャンネル部からトンネル電流により電荷を移動させて当該メモリ接続部のチャンネル部電位をプログラム禁止電位まで上昇させ、

プログラムすべきデータ内容に応じて前記メモリ接続部のチャンネル部のプログラム禁止電位を放電させて、選択ワード線に接続されたメモリトランジスタ一括にページプログラムを行う半導体不揮発性記憶装置のデータプログラム方法。

【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、低電圧での単一電源動作に適したNAND型フラッシュメモリ等の半導体不揮発性記憶装置およびそのデータプログラム方法に関するものである。

## 【0002】

【従来の技術】従来、EPROM、フラッシュメモリ等の半導体不揮発性記憶装置においては、チャンネルホットエレクトロン注入（以下、CHE）によりフローティングゲートに電子を注入してデータのプログラムを行うNOR型の半導体不揮発性記憶装置が主流であった。しかし、上述したNOR型半導体不揮発性記憶装置においては、2個のメモリトランジスタで1個のビットコンタクトおよびソース線を共有するため、高集積化が困難であり、大容量化が図れないという問題がある。

【0003】以上の観点から、複数のメモリトランジスタを直列接続してNAND列を構成し、2個のNAND列で1個のビットコンタクトおよびソース線を共有することにより、高集積化を実現したNAND型フラッシュメモリが提案されている。

【0004】一般的なNAND型フラッシュメモリにおいて、消去動作は、選択NAND列ブロックの全ワード線に0V、非選択NAND列ブロックの全ワード線およびメモリアレイの基板に高電圧（たとえば20V）を印加する。その結果、選択NAND列ブロックのメモリトランジスタのみ、フローティングゲートから基板に電子が引き抜かれて、メモリトランジスタのしきい値電圧は負方向にシフトして、たとえば-3V程度になる。

【0005】一方、データのプログラム動作は、選択するワード線に接続されたメモリトランジスタ一括に、いわゆるページ単位で行われ、選択するワード線に高電圧（たとえば18V）を、プログラムすべき（1データ）メモリトランジスタが接続されたビット線に0V、プログラムを禁止すべき（0データ）メモリトランジスタが接続されたビット線に中間電圧（たとえば8V）を印加する。その結果、プログラムすべき選択メモリトランジスタのみ、フローティングゲート中に電子が注入されて、選択メモリトランジスタのしきい値電圧は正方向にシフトして、たとえば2V程度になる。

【0006】かかるNAND型フラッシュメモリにおいては、データのプログラムおよび消去ともFN（Fowler Nordheim）トンネル電流により行うため、動作電流をチップ内昇圧回路から供給することが比較的容易であり、単一電源で動作させ易いという利点がある。さらには、ページ単位で、つまり選択するワード線に接続されたメモリトランジスタ一括にデータプログラムが行われるため、当然の結果として、プログラム速度の点で優位である。

## 【0007】

【発明が解決しようとする課題】ところで、上述したN

AND型フラッシュメモリは、以下の不利益を有する。すなわち、NAND型フラッシュメモリのデータプログラム動作は、ページ単位で行われるため、プログラムを禁止すべきメモリトランジスタが接続されたすべてのビット線に対しては中間電圧（たとえば8V）を印加する必要がある。ページ単位でのビット線本数は、通常512バイト、つまり、およそ4000本にもなるため、前記中間電圧を発生する昇圧回路の負荷が大きい。また上記のデータプログラム動作は、プログラムメモリトランジスタのしきい値電圧を制御する必要から、複数回のプログラム／ベリファイ動作を繰り返す行うため、各プログラム毎に、上記プログラム禁止ビット線を中間電圧に充電する必要がある。

【0008】このため、プログラム／ベリファイ回数が多くなると、実質的なプログラム時間より、むしろプログラム／ベリファイ動作におけるビット線電圧の切り替えに要する時間が支配的となり、プログラム速度が律速され、高速プログラムが困難となる。さらには、各ビット線毎に設けられページデータをラッチするためのデータラッチ回路は、中間電圧を扱うため高耐圧仕様とする必要があり、必然的にサイズが大きくなり、したがって各ビット線毎のデータラッチ回路のレイアウトが困難となる。

【0009】上述した問題点を解決して、低電圧での単一電源動作に適し、高速プログラムが可能で、しかも各ビット線毎のデータラッチ回路のレイアウトが容易なNAND型フラッシュメモリの新しいプログラム方式が、以下の文献に開示されている。

文献：IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 30, NO. 11, NOVEMBER 1995 p1152～p1153における記述、およびFig5～Fig6。

【0010】上述した文献に開示されたデータプログラム動作は、プログラムを禁止すべきメモリトランジスタが接続されたNAND列をフローティング状態として、当該NAND列のチャンネル部電圧を、主として非選択ワード線に印加されるバス電圧（たとえば10V）との容量カップリングにより、自動的に昇圧する。この自動昇圧動作は、セルフブースト動作と呼ばれる。

【0011】図8は、上述したセルフブースト動作によりNAND型フラッシュメモリのデータプログラムを行う場合の動作を説明するための図である。

【0012】図8のNAND型フラッシュメモリは、便宜上、2本のビット線に接続されたNAND列1本に4個のメモリトランジスタが直列接続された場合のメモリアレイを示す図であるが、実際のメモリアレイにおいては、1本のNAND列に直列接続されるメモリトランジスタの個数は16個程度が一般的である。図8において、BLa、BLbはビット線を示し、ビット線BLaには2個の選択トランジスタST1a～ST2a、およ

び4個のメモリトランジスタMT1a～MT4aが直列接続されたNAND列が接続される。また、ビット線BLbには2個の選択トランジスタST1b～ST2b、および4個のメモリトランジスタMT1b～MT4bが直列接続されたNAND列が接続される。選択トランジスタST1aおよびST1bは第1NAND列選択線SL1により制御され、選択トランジスタST2aおよびST2bは第2NAND列選択線SL2により制御される。また、メモリトランジスタMT1a～MT4aおよびMT1b～MT4bはそれぞれワード線WL1～WL4により制御される。

【0013】次に、図8のNAND型フラッシュメモリにおいて、ワード線WL2を選択してページプログラムをする場合に、MT2aがプログラムを禁止すべきメモリトランジスタであり、MT2bがプログラムすべきメモリトランジスタである場合の、動作について説明する。

【0014】まず、NAND列選択線SL1に電源電圧 $V_{cc}VCC$  (3.3V)、選択線SL2に接地電圧GND (0V)を印加して、プログラムを禁止すべきメモリトランジスタMT2aが接続されたビット線BLaに電源電圧 $V_{cc}VCC$  (3.3V)、プログラムすべきメモリトランジスタMT2bが接続されたビット線BLbに接地電圧GND (0V)が印加される。次に、選択ワード線WL2にプログラム電圧 $V_{pgm}$  (たとえば18V)が、非選択ワード線WL1、WL3～WL4にパス電圧 $V_{pass}$  (たとえば10V)が印加される。

【0015】その結果、プログラムを禁止すべきメモリトランジスタMT2aが接続されたNAND列のチャンネル部はフローティング状態となり、当該チャンネル部の電位は主として非選択ワード線(図8においては3本であるが、一般的には15本である)に印加されるパス電圧 $V_{pass}$ とのキャパシタカップリングにより、ブーストされプログラム禁止電圧まで上昇して、メモリトランジスタMT2aへのデータプログラムが禁止され

$$Br = C_{ins} / (C_{ins} + C_{ch}) \quad \dots (2)$$

【0021】ところで、プログラム時のセルフブースト動作においては、(1)式のVCはすべてのワード線印加電圧の加重平均となるが、一般的なNAND型フラッシュメモリにおいてはNAND列を構成するワード線本数は16本程度であるため、非選択ワード線に印加するパス電圧が支配的となる。よって、(1)式は(3)式のように表わされる。

【0022】

$$V_{ch} = Br * V_{pass} \quad \dots (3)$$

【0023】したがって、 $Br \approx 0.8$ 、 $V_{pass} = 10V$ とすれば、 $V_{ch} \approx 8V$ となり、充分プログラム禁止電圧となりうる。

【0024】上述したセルフブースト動作によるNAN

る。一方、プログラムすべきメモリトランジスタMT1bが接続されたNAND列のチャンネル部は接地電圧GND (0V)に設定され、選択ワード線に印加されたプログラム電圧 $V_{pgm}$ との電位差により、メモリトランジスタMT2bへのデータプログラムがなされ、しきい値電圧は正方向にシフトして、たとえば消去状態の-3Vから2V程度になる。

【0016】図9(a)、(b)は、上述したセルフブースト動作を説明するための図であり、図9(a)はセルフブースト動作時におけるプログラム禁止NAND列内の1個のメモリトランジスタを図示したものであり、図9(b)はその等価回路図である。

【0017】図9(a)において、VCはワード線WL(コントロールゲートCG)に印加する電圧、VFはフローティングゲートFGの電位、VchはブーストされたNAND列チャンネル電位、C-onoはコントロールゲート/フローティングゲート間の3層絶縁膜で構成される層間容量、C-toxはトンネル酸化膜容量、C-chはソース/ドレイン拡散層領域を含むメモリトランジスタのチャンネル部容量である。また、L-depはソース/ドレイン拡散層における空乏層広がり長である。また、図9(b)において、C-insは層間容量C-onoとトンネル酸化膜容量C-toxの直列接続による合成容量である。

【0018】図9(b)の等価回路により、セルフブースト動作時のNAND列チャンネル電位Vchは(1)式で表わされる。

【0019】

$$V_{ch} = Br * VC \quad \dots (1)$$

ここで、Brは下記(2)式で表わされるセルフブースト効率であり、デバイス構造の最適設計により通常0.8程度に設定する。

【0020】

$$Br = C_{ins} / (C_{ins} + C_{ch}) \quad \dots (2)$$

D型フラッシュメモリのデータプログラム動作は、非選択ビット線に高電圧の中間電圧を印加する必要がないため、低電圧での単一電源動作に適し、高速プログラムが可能で、しかも各ビット線毎のデータラッチ回路のレイアウトが容易である。

【0025】しかし、上記セルフブースト動作を実現するためには、セルフブースト効率Brを最低限でも0.6～0.8と大きくする必要がある。セルフブースト効率Brが充分にとれない場合は、NAND列チャンネル電位Vchが充分に上昇しないため、図8の例では、非選択メモリトランジスタMT2aに対して誤プログラムが行われる可能性がある。また、パス電圧 $V_{pass}$ を高くすることによりチャンネル電位Vchをもち上げようとすると、図8の例では、非選択メモリトランジスタ

MT1b、MT3b～MT4bに対して誤プログラムが行われる可能性がある。また、セルフブースト効率Brは原理的に～1にはならないため、非選択メモリトランジスタに対して誤プログラムが行われない場合であっても、ディスタブの悪化は免れない。

【0026】NAND型フラッシュメモリのデバイス構造において、上述した問題を回避するためセルフブースト効率Brをできる限り大きく設定するためには、

(2)式よりソース/ドレイン拡散層領域を含むメモリトランジスタのチャンネル部容量C<sub>ch</sub>を小さくする必要があり、そのためにはNAND型メモリアレイが形成されるP型ウェル領域のP型不純物濃度を低く設定しなければならない。

【0027】ところが、上記のようにP型不純物濃度を低く設定すれば、図9(a)に図示される空乏層広がり長L<sub>dep</sub>が大きくなって、パンチスルー耐性が低下してメモリトランジスタおよび選択トランジスタの短チャンネル化が図れなくなり、ひいては高集積化が実現できなくなる。つまり、従来のNAND型フラッシュメモリのデバイス構造では、セルフブースト効率Brの確保とメモリトランジスタおよび選択トランジスタの短チャンネル化が相反するトレードオフの関係にあるため、ディスタブ耐性の確保と高集積化が相反して両方とも実現することが困難である。

【0028】図10(a)、(b)は上述したトレードオフの関係を示すグラフである。図10(a)において、横軸はメモリアレイPウェル(WELL)濃度N<sub>dope</sub>を、縦軸はセルフブースト効率Brを示している。また図10(b)においては、横軸はメモリアレイPWELL濃度N<sub>dope</sub>を、縦軸はメモリトランジスタおよび選択トランジスタの短チャンネル限界L<sub>min</sub>を示している。

【0029】図10(a)により、セルフブースト効率Brを十分に確保するためにはPWELL濃度N<sub>dope</sub>を低く設定する必要があり、図10(b)により、PWELL濃度N<sub>dope</sub>を低く設定するとメモリトランジスタおよび選択トランジスタの短チャンネル化が困難となることが判る。

【0030】本発明は、かかる事情に鑑みてなされたものであり、その目的は、低電圧での単一電源動作に適し、ビット線毎のデータラッチ回路のレイアウトが容易で、しかもディスタブ耐性の良好なデータプログラム動作を行うことができるNAND型半導体不揮発性記憶装置を提供することにある。

【0031】

【課題を解決するための手段】上記目的を達成するため、本発明は、電気的にデータのプログラムおよび消去が行われるメモリトランジスタが複数個接続され、その一端および他端がゲート電圧に応じて導通状態が制御される選択トランジスタを介してビット線および接地線に

接続されたメモリ接続部がマトリクス状に配置され、同一行のメモリセルトランジスタの制御ゲートが共通のワード線に接続されてなる半導体不揮発性記憶装置であって、データプログラム動作時、選択トランジスタを非導通状態に保持して選択メモリトランジスタが在する前記メモリ接続部のチャンネル部の電位をフローティング状態とした後、当該メモリ接続部のチャンネル部からトンネル電流により電荷を移動させて当該メモリ接続部のチャンネル部電位をプログラム禁止電位まで上昇させ、プログラムすべきデータ内容に応じて前記メモリ接続部のチャンネル部のプログラム禁止電位を前記選択トランジスタを導通させて放電させて、選択ワード線にプログラム電圧を印加して当該選択ワード線に接続されたメモリトランジスタ一括にページプログラムを行う制御手段を有する。

【0032】また、上記制御手段は、上記選択トランジスタとメモリ接続部との間に直列に接続され、ゲート電極と半導体基板との間でトンネル電流により電荷の移動が可能なトンネル用トランジスタを有し、上記トンネル用トランジスタのゲート電極に、メモリ接続部のチャンネル部からトンネル電流により電荷を移動させて当該メモリ接続部のチャンネル部電位をプログラム禁止電位まで上昇させるときに、当該トンネル用トランジスタが導通状態となる電圧を印加する。

【0033】また、上記メモリ接続部、複数のメモリトランジスタが直列接続されたNAND列構成、あるいは複数のメモリトランジスタが並列に接続されたAND列構成を有する。

【0034】また、本発明は、電気的にデータのプログラムおよび消去が行われるメモリトランジスタが複数個接続され、その一端および他端がゲート電圧に応じて導通状態が制御される選択トランジスタを介してビット線および接地線に接続されたメモリ接続部がマトリクス状に配置され、同一行のメモリセルトランジスタの制御ゲートが共通のワード線に接続されてなる半導体不揮発性記憶装置のデータプログラム方法であって、データプログラム動作時、選択メモリトランジスタが在する前記メモリ接続部のチャンネル部の電位をフローティング状態とした後、当該メモリ接続部のチャンネル部からトンネル電流により電荷を移動させて当該メモリ接続部のチャンネル部電位をプログラム禁止電位まで上昇させ、プログラムすべきデータ内容に応じて前記メモリ接続部のチャンネル部のプログラム禁止電位を放電させて、選択ワード線に接続されたメモリトランジスタ一括にページプログラムを行う。

【0035】本発明によれば、データプログラム動作時、選択メモリトランジスタが在するメモリ接続部、たとえばNAND列チャンネル部の電位をフローティング状態とした後、前記トンネル用トランジスタから、ダイレクト電流あるいはFNトンネル電流により電子が引き

抜かれてNAND列チャンネル部の電位がプログラム禁止電位まで上昇する。その後プログラムすべきデータ内容に応じて当該NAND列チャンネル部のプログラム禁止電位がビット線に放電されて、選択ワード線に接続されたメモリトランジスタ一括にページプログラムが行われる。

【0036】また、メモリトランジスタがプログラムを禁止すべき場合、当該NAND列チャンネル部の電位がFNTトンネル電流による電子引き抜きによりプログラム禁止電位まで上昇する。したがって、ワード線印加電圧の容量カップリングによりNAND列チャンネル部の電位を上昇させるセルフブースト動作と比較して、プログラム禁止電位を充分高い電圧値に設定することが可能である。そのために、データプログラム時のディスタブ耐性がよく、しかも選択トランジスタおよびメモリトランジスタの短チャンネル化により高集積化が実現できる。

【0037】

【発明の実施の形態】図1は本発明に係るNAND型半導体不揮発性記憶装置のメモリアレイを示す図である。

【0038】図1のNAND型半導体不揮発性記憶装置は、便宜上、2本のビット線に接続されたNAND列1本に4個のメモリトランジスタが直列接続された場合のメモリアレイを示す図であるが、実際のメモリアレイにおいては、1本のNAND列に直列接続されるメモリトランジスタの個数は16個程度が一般的である。

【0039】図1において、BLa、BLbはビット線を示し、ビット線BLaには2個の選択トランジスタST1a～ST2a、および4個のメモリトランジスタMT1a～MT4a、およびトンネル用トランジスタTTaが直列接続されたNAND列が接続されている。また、ビット線BLbには2個の選択トランジスタST1b～ST2b、および4個のメモリトランジスタMT1b～MT4b、およびトンネル用トランジスタTTbが直列接続されたNAND列が接続されている。

【0040】選択トランジスタST1aおよびST1bは第1NAND列選択線SL1により制御され、選択トランジスタST2aおよびST2bは第2NAND列選択線SL2により制御される。またメモリトランジスタMT1a～MT4aおよびMT1b～MT4bはそれぞれワード線WL1～WL4により制御される。さらに、トンネル用トランジスタTTaおよびTTbはトンネル電流制御線TLにより制御される。このように、トンネル電流制御線TLに高電圧パルス印加することによりFNTトンネル電流により電子が引き抜かれ、NAND列チャンネル部の電位が上昇する。

【0041】なお、本実施形態においては、データプログラム、消去および読み出し動作時に、ワード線WL1～WL4、第1NAND列選択線SL1、第2NAND列選択線SL2、およびトンネル電流制御線TLのレベ

ルを動作に応じた電圧に制御する制御系回路およびその周辺回路については、図面の簡単化のため省略している。

【0042】図2は、図1のNAND型半導体不揮発性記憶装置における第1のデバイス構造の簡略断面図である。図2においては、ST1a、ST2aは選択トランジスタ、TTaはトンネル用トランジスタ、およびMT1a～MT4aはメモリトランジスタをそれぞれ示しており、図2は図1に示すNAND型半導体不揮発性記憶装置の等価回路の1列分に相当するデバイス構造を簡略的に示している。

【0043】このNAND型半導体不揮発性記憶装置は、図2に示すように、半導体基板1、半導体基板1に形成され、メモリアレイ領域が形成されるP型ウェル領域2、半導体基板1のチャンネル形成領域上に形成されたトンネル酸化膜3、メモリトランジスタMT1a～MT4aのフローティングゲート電極をなす第1層目のポリシリコンゲート電極4、ポリシリコンゲート電極4上に形成された層間絶縁膜5、選択トランジスタST1a、ST2aおよびトンネル用トランジスタTTa領域のトンネル酸化膜3上、並びに層間絶縁膜5上に形成されたメモリトランジスタMT1a～MT4a、選択トランジスタST1a、ST2aおよびトンネル用トランジスタTTaの制御ゲート電極WL1～WL4、SL1、SL2、TLをなす第2層目のポリシリコンゲート電極6、およびメモリトランジスタMT1a～MT4a、選択トランジスタST1a、ST2aおよびトンネル用トランジスタTTaのソースおよびドレイン拡散層7により構成されている。

【0044】また、図3は、図1のNAND型半導体不揮発性記憶装置における第2のデバイス構造の簡略断面図である。図3の第2のデバイス構造は、基本的に図2の第1のデバイス構造と同様である。異なる点は、トンネル用トランジスタTTaのトンネル酸化膜3aがメモリトランジスタの膜厚10nm程度のトンネル酸化膜3と比較して、膜厚が薄く、たとえば4～8nm程度に形成されていることである。トンネル用トランジスタTTaのみ酸化膜厚を薄く形成することにより、より低電圧パルスでFNTトンネル電流を流すことができ好適である。ただし、トンネル酸化膜厚を作り分けるため別々の製造プロセス工程が必要となる。

【0045】次に、図1のNAND型半導体不揮発性記憶装置におけるデータプログラム動作について図4に関連付けて説明する。図4は、ワード線WL2を選択してページプログラムをする場合に、MT2aがプログラムを禁止すべきメモリトランジスタであり、MT2bがプログラムすべきメモリトランジスタである場合の動作を説明する図である。

【0046】まず、NAND列選択線SL1およびSL2に接地電圧GND(0V)が印加され、各NAND列



チャンネル部がフローティング状態に保持される。この状態で、すべてのワード線WL1～WL4にバス電圧V<sub>pass</sub>（たとえば6V）が印加され、トンネル電流制御線TLには～数マイクロ秒程度のパルス幅の高電圧パルスV<sub>tun</sub>（たとえば22V）が印加される。その結果、フローティング状態の各NAND列チャンネル部からトンネル用トランジスタTTa～TTbを介して、FNトンネル電流により電子が引き抜かれ、各NAND列チャンネル部の電位がたとえば～10V程度のプログラム禁止電圧まで上昇する。

【0047】次に、トンネル電流制御線TLの印加電圧が接地電圧GNDからバス電圧V<sub>pass</sub>（たとえば6V）に立ち下げられ、第1NAND列選択線SL1が電源電圧VCC（3.3V）に立ち上げられる。ここで、ページデータがラッチされた各ビット線毎の図示しないデータラッチ回路に駆動されて、プログラムを禁止すべきメモリトランジスタMT2aが接続されたビット線BLaには電源電圧VCC（3.3V）が、プログラムすべきメモリトランジスタMT2bが接続されたビット線BLbには接地電圧GND（0V）が印加されている。その結果、メモリトランジスタMT2aが在するNAND列チャンネル部はフローティング状態のままプログラム禁止電圧（～10V）を保持するが、メモリトランジスタMT2bが在するNAND列チャンネル部はビット線BLbを介して接地電圧GND（0V）レベルに放電される。

【0048】一方、選択ワード線WL2には～数10マイクロ秒程度のパルス幅のプログラム電圧V<sub>pgm</sub>（たとえば18V）が印加される。その結果、メモリトランジスタMT2aはプログラム禁止電圧により消去状態に保持され、メモリトランジスタMT2bはプログラム電圧V<sub>pgm</sub>によりデータプログラムがなされ、しきい値電圧は正方向にシフトして、たとえば消去状態の-3Vから2V程度になる。

【0049】上述した図1の実施形態では、ワード線印加電圧の容量カップリングによりNAND列チャンネル部の電位を上昇させる従来のセルフブースト動作と比較して、プログラム禁止電位を充分高い電圧値（～10V）に設定することが可能である。したがって、非選択メモリトランジスタMT2aに対するディスタープ耐性を向上させることができる。また、バス電圧V<sub>pass</sub>は消去状態のメモリトランジスタをオンさせるだけでよいので、～6V程度の電圧値で充分である。したがって、非選択メモリトランジスタMT1b、MT3b～MT4bに対するディスタープ耐性を向上させることができる。

【0050】なお、図1におけるNAND型半導体不揮発性記憶装置においてはデータの書き換えはNAND列ブロック単位で行われるため、データプログラムは接地線側に近い位置のメモリトランジスタから順次ビット線

側に近い位置のメモリトランジスタへと、具体的にはワード線WL4からワード線WL1へと順次ページプログラムが行われることが好ましい。データプログラムを接地線側に近い位置のメモリトランジスタから順次行うことにより、前のページプログラムにより隣接するメモリトランジスタのしきい値電圧がプログラム状態に上昇しても、未だページプログラムがなされていない消去状態のメモリトランジスタが在するNAND列チャンネル部の電位に関しては、確実にプログラム禁止電圧まで上昇する。同様の理由により、トンネル用トランジスタをNAND列において接地線側の選択トランジスタに隣接して配置するような構成にする場合には、データプログラムはビット線側に近い位置のメモリトランジスタから接地線側に近い位置のメモリトランジスタへと、順次ページプログラムが行われることが好ましい。

【0051】図5は、上述のように図4に関連付けて説明した動作のタイミングチャートを示す図である。以下、図1のデータプログラム動作を、図5のタイミングチャートを参照しながらさらに詳細に説明する。

【0052】図5において、φP/Rはプログラム/ベリファイ制御信号であり、図中、時刻t1～t4の間に第1回目のプログラム/ベリファイ動作が行われ、時刻t4～t7の間に第2回目のプログラム/ベリファイ動作が行われる。

【0053】まず、図5（d）、（e）に示すように、時刻t1で第1回目のプログラム動作が開始されて、すべてのワード線WLにバス電圧V<sub>pass</sub>が印加され、トンネル電流制御線TLには、図5（c）に示すように、高電圧パルスV<sub>tun</sub>が印加される。その結果、フローティング状態の各NAND列チャンネル部からFNトンネル電流により電子が引き抜かれ、各NAND列チャンネル部の電位が図5（f）、（g）に示すように、（図中VCHaおよびVCHb）プログラム禁止電圧V<sub>bst</sub>まで上昇する。

【0054】次に、図5（c）に示すように、時刻t2でトンネル電流制御線TLの印加電圧がバス電圧V<sub>pass</sub>に立ち下げられ、一方、図5（b）に示すように、第1NAND列選択線SL1が電源電圧VCCに立ち上げられる。その結果、図5（f）、（g）に示すように、メモリトランジスタMT2aが在するNAND列チャンネル部VCHaはフローティング状態のままプログラム禁止電圧V<sub>bst</sub>を保持するが、メモリトランジスタMT2bが在するNAND列チャンネル部VCHbはGNDレベルに放電される。

【0055】一方、図5（d）に示すように、選択ワード線WL2にはプログラム電圧V<sub>pgm</sub>が印加される。その結果、時刻t2～t3の間は、メモリトランジスタMT2aはプログラム禁止状態のバイアス設定となり、メモリトランジスタMT2bはプログラム状態のバイアス設定となる。

【0056】時刻 $t_3 \sim t_4$ の間は、上述したように、第1回目のペリファイ動作期間であり、図5(d)に示すように、選択ワード線WL2に接地電圧GNDが印加され、図5(e)、(b)、(c)に示すように、すべての非選択ワード線WLおよびNAND列選択線SLおよびトンネル電流制御線TLに電源電圧VCCが印加されバス状態として、通常のNAND型フラッシュメモリと同様のペリファイ動作が行われる。

【0057】また、時刻 $t_4 \sim t_7$ の間は第2回目のプログラム/ペリファイ動作であり、第1回目のプログラム/ペリファイ動作のまったくの繰り返しである。したがって、その説明は省略する。

【0058】図6は、図1のNAND型半導体不揮発性記憶装置における、すでに説明したプログラム動作、および消去動作、読み出し動作についての、各バイアス設定を示す図である。なお図中、プログラム動作は便宜上FNブースト時(図5において時刻 $t_1 \sim t_2$ )と実プログラム時(図5において時刻 $t_2 \sim t_3$ )に分けて示されている。

【0059】図6において、プログラム動作はすでに説明したとおりであり、再度の説明を省略する。消去動作については、従来のNAND型フラッシュメモリと基本的に同様であり、選択NAND列ブロックの全ワード線に0V、非選択NAND列ブロックの全ワード線およびメモリアレイの基板PWEELLに高電圧( $V_{erase} = 22V$ )が印加される。その結果、選択NAND列ブロックのメモリトランジスタのみ、フローティングゲートから基板に電子が引き抜かれて、メモリトランジスタのしきい値電圧は負方向にシフトして、たとえば-3V程度になる。

【0060】読み出し動作についても、従来のNAND型フラッシュメモリと基本的に同様であり、選択NAND列ブロックにおいては、選択ワード線WLにGNDレベルが印加され、すべての非選択ワード線WLおよびNAND列選択線SLおよびトンネル電流制御線TLに電源電圧VCCが印加されてバス状態として、通常のNAND型フラッシュメモリと同様の読み出し動作が行われる。

【0061】以上説明したように、本実施形態のNAND型半導体不揮発性記憶装置によれば、従来のNAND列にトンネル用トランジスタが直列接続されてNAND列を構成し、データプログラム動作時、選択メモリトランジスタが在るNAND列チャンネル部の電位をフローティング状態とした後、前記トンネル用トランジスタからFNトンネル電流により電子を引き抜いてNAND列チャンネル部の電位をプログラム禁止電位まで上昇させ、その後プログラムすべきデータ内容に応じて当該NAND列チャンネル部のプログラム禁止電位をビット線に放電し、選択ワード線に接続されたメモリトランジスタ一括にページプログラムを行う。したがって、ワード

線印加電圧の容量カップリングによりNAND列チャンネル部の電位を上昇させるセルフブースト動作と比較して、プログラム禁止電位を充分高い電圧値に設定することが可能であり、データプログラム時のディスタープ耐性を改善することができる。

【0062】なお、上述した実施形態においては、NAND型半導体不揮発性記憶装置を例について説明したが、本発明が図7に示すようないわゆるAND型の半導体不揮発性記憶装置等、他の型のものでも適用できることはいうまでもない。

【0063】

【発明の効果】以上説明したように、本発明によれば、低電圧での単一電源動作に適し、ビット線毎のデータラッチ回路のレイアウトが容易で、しかもディスタープ耐性の良好なデータプログラム動作を行うことができる。

【図面の簡単な説明】

【図1】本発明に係るNAND型半導体不揮発性記憶装置の一実施形態を示す回路図である。

【図2】図1のNAND型半導体不揮発性記憶装置における第1のデバイス構造の簡略断面図である。

【図3】図1のNAND型半導体不揮発性記憶装置における第2のデバイス構造の簡略断面図である。

【図4】図1のNAND型半導体不揮発性記憶装置におけるデータプログラム動作を説明するための図である。

【図5】図4のデータプログラム動作のタイミングチャートである。

【図6】本発明のNAND型半導体不揮発性記憶装置において、プログラム動作、消去動作、読み出し動作についての、各バイアス設定を示す図である。

【図7】本発明に係るAND型半導体不揮発性記憶装置の構成例を示す回路図である。

【図8】セルフブースト動作によりNAND型フラッシュメモリのデータプログラムを行う場合の、動作を説明するための図である。

【図9】(a)はセルフブースト動作時における1個のメモリトランジスタを図示したものであり、(b)はその等価回路図である。

【図10】セルフブースト効率Brの確保とトランジスタの短チャンネル化が、相反するトレードオフの関係にあることを説明するための図である。

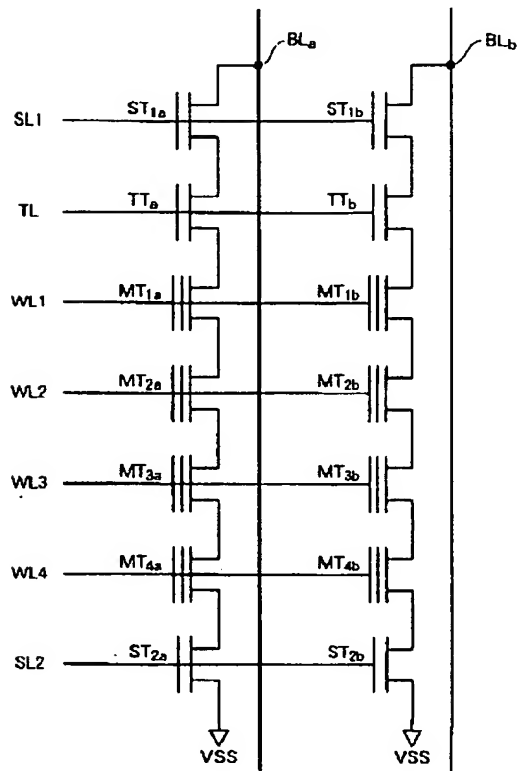
【符号の説明】

SL1~SL2...NAND列選択線、WL1~WL4...ワード線、BLa、BLb...ビット線、TL...トンネル電流制御線、ST1a~ST2a、ST1b~ST2b...選択トランジスタ、MT1a~MT4a、MT1b~MT4b...メモリトランジスタ、TTa、TTb...トンネル用トランジスタ、Vpgm...プログラム電圧、Vpass...パス電圧、Vtun...トンネル電流誘起高電圧パルス、Vbst...ブースト電圧(プログラム禁止電圧)、 $\phi P/R$ ...プログラム/ペリファイ制御信号、C

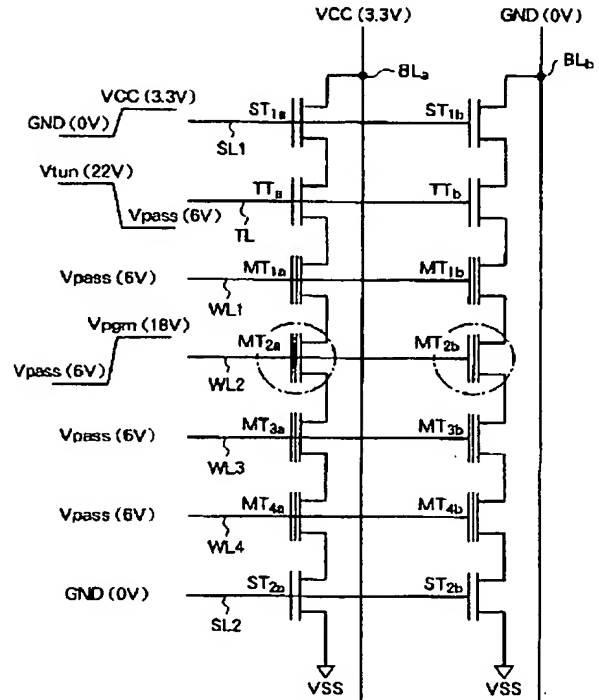
-ono...コントロールゲート/フローティングゲート間の層間容量、C-tox...トンネル酸化膜容量、C-ch...チャンネル部容量、C-ins...C-onとC-toxの直列接続による合成容量、Br...セルフブースト効率、1...半導体基板、2...P型ウェル領域、3...

トンネル酸化膜、3a...トンネル酸化膜(トンネル用トランジスタ)、4...第1層目のポリシリコンゲート電極、5...層間絶縁膜、6...第2層目のポリシリコンゲート電極、7...ソースおよびドレイン拡散層。

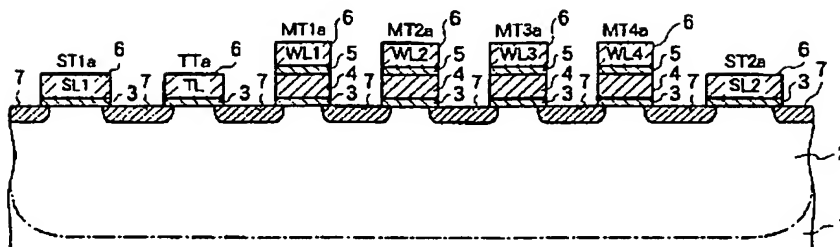
【図1】



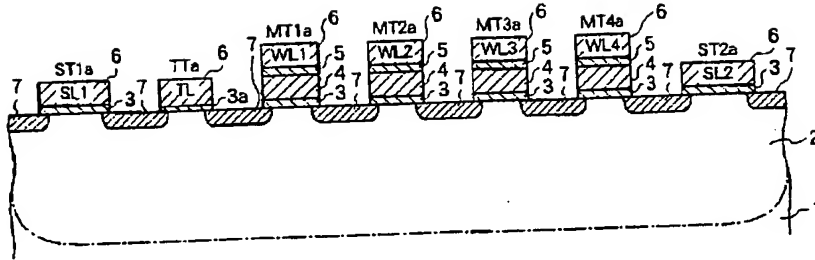
【図4】



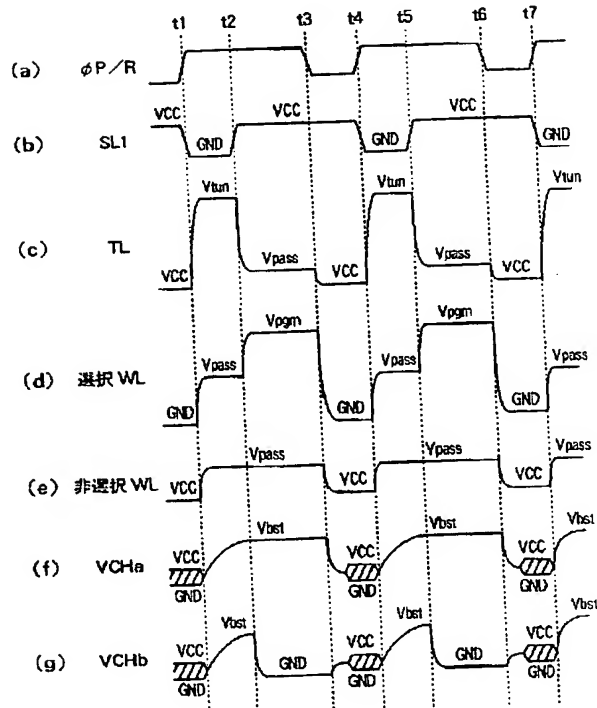
【図2】



【図3】



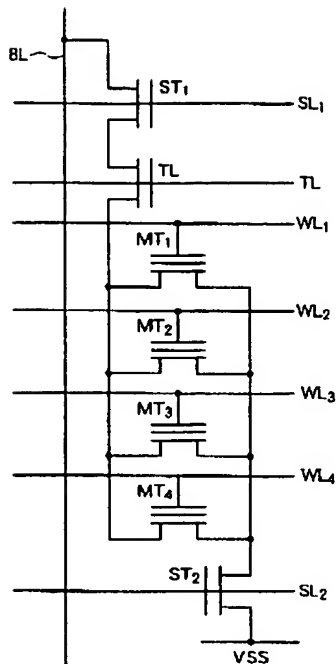
【図5】



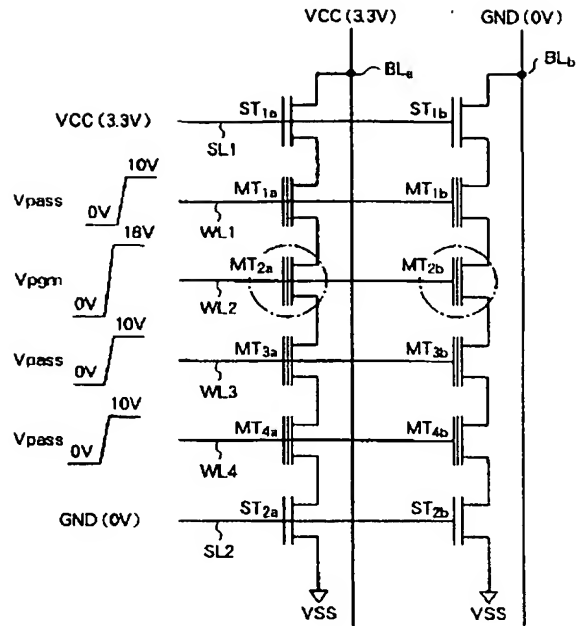
【図6】

オペレーション		プログラム (FN プースト時)	プログラム (実プログラム時)	消去	読み出し
共通部	BLa	VCC (3.3V) 非選択	VCC (3.3V) 非選択	フローティング	1/2VCC プリチャージ
	BLb	GND (0V) 選択	GND (0V) 選択	フローティング	1/2VCC プリチャージ
	VSS	GND (0V)	GND (0V)	Verase (22V)	GND (0V)
	P WELL	GND (0V)	GND (0V)	Verase (22V)	GND (0V)
選択ブロック	SL1	GND (0V)	VCC (3.3V)	Verase (22V)	VCC (3.3V)
	TL	Vtun (22V)	Vpass (6V)	Verase (22V)	VCC (3.3V)
	WL1	Vpass (6V) 非選択	Vpass (6V) 非選択	GND (0V)	VCC (3.3V) 非選択
	WL2	Vpass (6V) 選択	Vpgm (18V) 選択	GND (0V)	GND (0V) 選択
	WL3	Vpass (6V) 非選択	Vpass (6V) 非選択	GND (0V)	VCC (3.3V) 非選択
	WL4	Vpass (6V) 非選択	Vpass (6V) 非選択	GND (0V)	VCC (3.3V) 非選択
	SL2	GND (0V)	GND (0V)	Verase (22V)	VCC (3.3V)
	SL1	GND (0V)	GND (0V)	Verase (22V)	GND (0V)
非選択ブロック	TL	GND (0V)	GND (0V)	Verase (22V)	GND (0V)
	WL1	GND (0V)	GND (0V)	Verase (22V)	GND (0V)
	WL2	GND (0V)	GND (0V)	Verase (22V)	GND (0V)
	WL3	GND (0V)	GND (0V)	Verase (22V)	GND (0V)
	WL4	GND (0V)	GND (0V)	Verase (22V)	GND (0V)
非選択ブロック	SL2	GND (0V)	GND (0V)	Verase (22V)	GND (0V)

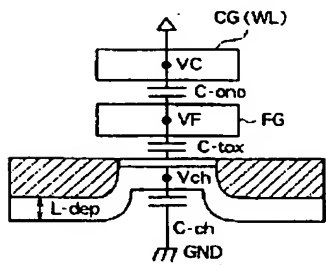
【図7】



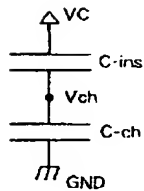
【図8】



【図10】

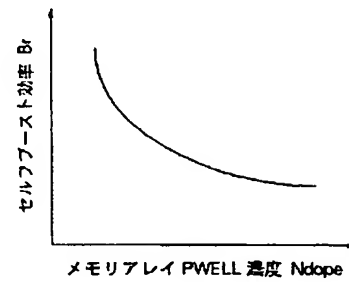


(a)

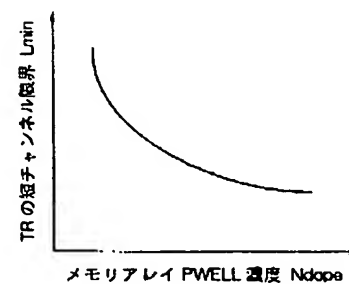


(b)

(a)



(b)



**THIS PAGE BLANK (USPTO)**